

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

CLIPPEDIMAGE= JP363288055A

PAT-NO: JP363288055A

DOCUMENT-IDENTIFIER: JP 63288055 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: November 25, 1988

INVENTOR-INFORMATION:

NAME

YAMAGUCHI, HITOSHI

ASSIGNEE-INFORMATION:

NAME

ROHM CO LTD

COUNTRY

N/A

APPL-NO: JP62123244

APPL-DATE: May 20, 1987

INT-CL (IPC): H01L027/08;H01L029/72

US-CL-CURRENT: 257/556

ABSTRACT:

PURPOSE: To improve the emitter grounding current amplification factor (hfe) and frequency characteristics of an I<SP>2</SP>L as a logic element without damaging the breakdown strength of a linear element by forming a first buried layer, to which antimony is diffused, and shaping a second buried layer, which is in contact with a base region in a composed multi-collector transistor and to which arsenic is diffused.

CONSTITUTION: An epitaxial layer 30 is grown, and a base region 60, an emitter region 90 in an injector transistor and a base region 100 in a multi-collector transistor are formed simultaneously through the diffusion

of boron. First and second buried layers 120, 130 are shaped respectively to both elements. The buried layers are shaped by introducing an N<SP>+</SP> type impurity into a substrate 10 through deposition or ion implantation before epitaxial growth, but antimony is used as the diffusion impurity of the first buried layer 120, and arsenic having a diffusion coefficient larger than antimony is employed as the diffusion impurity of the second buried layer 130. Difference is shaped among both buried layers in the quantities of swelling at the time of epitaxial growth, and the layer thickness of the second buried layer 130 is made thicker than that of the first buried layer 120.

COPYRIGHT: (C)1988,JPO&Japio

## ⑫ 公開特許公報(A)

昭63-288055

⑬ Int.Cl.<sup>4</sup>H 01 L 27/08  
29/72

識別記号

1 0 1

庁内整理番号

M-7373-5F  
8526-5F

⑭ 公開 昭和63年(1988)11月25日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-123244

⑰ 出 願 昭62(1987)5月20日

⑱ 発 明 者 山 口 仁 京都府京都市右京区西院溝崎町21番地 ローム株式会社内  
⑲ 出 願 人 ローム株式会社 京都府京都市右京区西院溝崎町21番地  
⑳ 代 理 人 弁理士 大西 孝治

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

(1) アイソレーション層で分離されたエピタキシャル層の一方に縦型トランジスタを形成し、他方に1<sup>2</sup> Lを形成した半導体装置において、縦型トランジスタの下部にアンチモンを拡散した第1の埋込み層を設けるとともに、1<sup>2</sup> Lを構成するマルチコレクタトランジスタのベース領域に接する砒素を拡散した第2の埋込み層を設けたことを特徴とする半導体装置。

## 3. 発明の詳細な説明

&lt;産業上の利用分野&gt;

本発明は、リニア素子としての通常の縦型トランジスタと、ロジック素子としての1<sup>2</sup> L(Integrated Injection Logic)を同一半導体基板上に形成した半導体装置に関する。

&lt;従来の技術&gt;

1<sup>2</sup> Lはバイポーラトランジスタと同一の製造工程で製造でき、低消費電力で高速作動が可能であり高集積化に適した構造を有することからデジタル信号部を1<sup>2</sup> Lで構成し、電力増幅部など高電圧駆動を必要とするアナログ信号部を通常の縦型トランジスタで構成した半導体装置が知られている。第2図は、このような半導体装置の従来の構造を示すものである。

同図において共通のP型半導体基板1上に形成され、アイソレーション層2によって分離されたエピタキシャル層3a、3b内にはそれぞれリニア素子としての通常の縦型トランジスタ4及びロジック素子としての1<sup>2</sup> L5が形成されている。

縦型トランジスタ4は、ベース領域6、エミッタ領域7及びコレクタ領域となるエピタキシャル層3aとオーミックコンタクトを形成するために設けられたコレクタコンタクト領域8とから構成されている。一方、1<sup>2</sup> L5はラテラルpnpインジェクタトランジスタのエミッタ領域9、逆方向動作をする縦型npnマルチコレクタトランジスタ

タのベース領域10及びそのコレクタ領域11、11から構成されている。そしてエピタキシャル層3a、3bの底部にはそれぞれ同一の不純物、例えばSb（アンチモン）あるいはAs（砒素）を拡散した埋込み層12a、12bが設けられている。

<考案が解決しようとする問題点>

リニア素子としての通常の縦型トランジスタ4ではコレクタ領域であるエピタキシャル層3aの伝導度を低くするためエピタキシャル成長時の不純物濃度を低くし、埋込み層12aを形成するために拡散する不純物に拡散係数の小さいものを選ぶことで埋込み層厚を小さくしてベース、コレクタ接合における空乏層の伸びを大きくとれるようにして高耐圧を得ている。従って、 $I^2L$ の縦型npnマルチコレクタトランジスタのエミッタ領域であるエピタキシャル層3bの伝導度はエピタキシャル層3aのものと同じであるので、必然的に低くなり、マルチコレクタトランジスタのエミッタ接地電流増幅率 $h_{fe}$ が低下するとともに周波数特性が悪化する。

<問題点を解決するための手段>

リニア素子としての縦型トランジスタの下部にはアンチモンを拡散した第1の埋込み層を設けるとともに、ロジック素子としての $I^2L$ に対してはこれを構成するマルチコレクタトランジスタのベース領域に接する砒素を拡散した第2の埋込み層を設けた。

<作用>

アンチモンは拡散係数が小さくエピタキシャル成長時の湧き上がりが少ないので、第1の埋込み層は薄く形成され、エピタキシャル層濃度を低く設定することで縦型トランジスタの高耐圧が確保される。それに対し $I^2L$ 側の第2の埋込み層はアンチモンと比べて拡散係数が大きくエピタキシャル成長時の湧き上がりの多い砒素の拡散により形成され、その層厚が大きくマルチコレクタトランジスタのベース領域に接しているためエピタキシャル層濃度に左右されず $h_{fe}$ が向上する。

<実施例>

第1図は本発明の実施例を示す断面図である。

P型半導体基板10の上に成長されたN<sup>-</sup>形エピタキシャル層30はP形アイソレーション層20により30a、30bに分離され、それぞれにリニア素子としての縦型npnトランジスタ40及びロジック素子としての $I^2L$ 50が形成されている。npnトランジスタ40は、P形ベース領域60、N<sup>+</sup>形のエミッタ領域70及びコレクタコンタクト領域80より構成され、一方 $I^2L$ 50はラテラルpnpiンジェクタトランジスタのエミッタ領域90、逆方向マルチコレクタトランジスタのベース領域100及びコレクタ領域110で構成されている。これら各領域のうちベース領域60、インジェクタトランジスタのエミッタ領域90及びマルチコレクタトランジスタのベース領域100はエピタキシャル層30の成長後、ボロン拡散により同時に形成される。そして、両素子にはそれぞれ第1、第2の埋込み層120、130が設けられている。これら埋込み層はエピタキシャル成長前にN<sup>+</sup>形不純物をデポジットあるいはイオン注入によって基板10内に導入す

ることによって形成されるが、本発明では第1の埋込み層120の拡散不純物としてアンチモンを用い、第2の埋込み層130の拡散不純物として拡散係数がアンチモンより大きい砒素を用いている。従って、エピタキシャル成長時の湧き上がり量に両埋込み層間で差が生じ、第2の埋込み層130の層厚は第1の埋込み層120のそれよりも厚くなっている。なお、通常のバイポーラプロセスの中で用いられるものでアンチモンより、拡散係数の大きいN<sup>+</sup>形不純物としてはP（リン）が知られているが、これはエピタキシャル成長中にガス化してエピタキシャル層全体に入り込み、層の濃度を設定値と異ならせるオートドーピングが生じるので埋込み層用不純物としては好ましくない。

<発明の効果>

リニア素子と $I^2L$ を同一半導体基板上に形成した半導体装置においてリニア素子の耐圧を損なうことなくロジック素子としての $I^2L$ の $h_{fe}$ 及び周波数特性を向上させることができる。

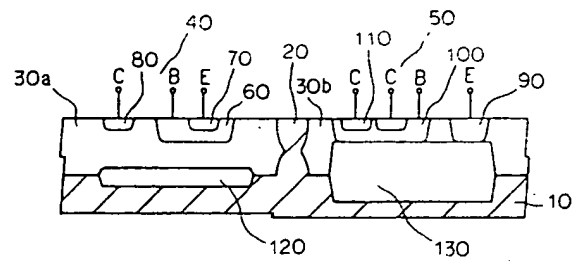
4. 図面の簡単な説明

第1図は本発明の実施例を示す断面図、第2図は従来例を示す断面図である。

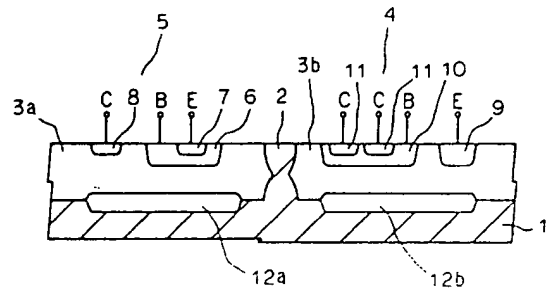
20・・・アイソレーション層、30a、30b・・・エピタキシャル層、40・・・縦型トランジスタ、50・・・ $I^2$ し、100・・・マルチコレクタトランジスタのベース領域、120・・・第1の埋込み層、130・・・第2の埋込み層。

特許出願人 ローム 株式会社

代理人 弁理士 大西 孝 治



第1図



第2図